

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138349

(P2000-138349A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 0 1
27/04		27/04	C 5 F 0 3 8
21/822		27/10	6 2 1 Z 5 F 0 8 3
27/108			6 5 1
21/8242		29/78	3 7 1
審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く			

(21) 出願番号 特願平10-309290

(22) 出願日 平成10年10月30日 (1998. 10. 30)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 竹中 伸之

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100103296

弁理士 小池 隆彌

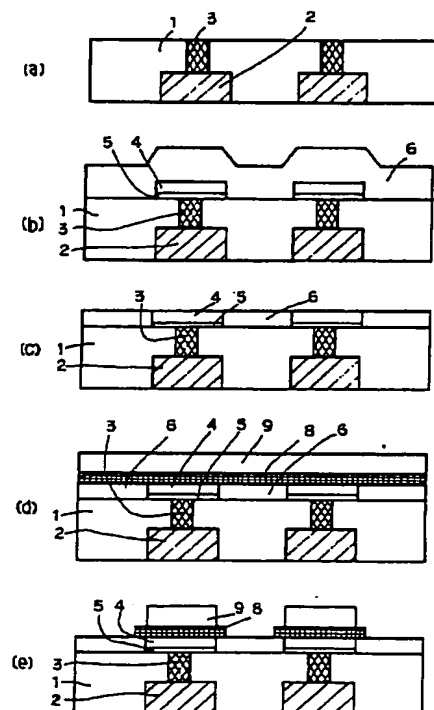
最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【要約】

【課題】 従来の下部電極上の層間絶縁膜によって形成された凹凸の下地上に強誘電体膜を成膜する工程では、安定した強誘電体膜の膜特性を得ることが困難となる。

【解決手段】 まず、半導体基板上に層間絶縁膜1を形成する。層間絶縁膜1に半導体素子2に電気的接続を行なうプラグ3を形成する。この上にバリアメタルとして酸化チタン膜4を、下部電極として白金膜5をスパッタ法にて順次成膜する。その後所望の位置にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより酸化チタン膜4と下部電極となる白金膜5をパターニングし、下部電極を形成する。次に、層間絶縁膜6を形成する。この後、層間絶縁膜6をCMP法により層間絶縁膜6の表面と下部電極となる白金膜5の表面が同じ高さで平坦になるまで研磨を行なう。続いて表面上に強誘電体膜8を形成する。その後、強誘電体膜8上に、上部電極として白金膜9を成膜する。



【特許請求の範囲】

【請求項 1】 半導体基板表面に拡散領域を半導体素子を形成した後、第 1 の層間絶縁膜を積層し、平坦化した後、該第 1 の層間絶縁膜の上記拡散領域上にコンタクトホールを形成する工程と、

上記コンタクトホールにコンタクトプラグ材料を埋設し、上記第 1 の層間絶縁膜表面が露出するまで上記コンタクトプラグ材料をエッチングして、コンタクトプラグを形成する工程と、

キャパシタの下部電極となる第 1 の電極材料を堆積した後、第 1 のマスクにて上記下部電極材料をキャパシタの下部電極としてパターンニングする工程と、

上記下部電極を覆うように第 2 の層間絶縁膜を形成し、化学的機械的研磨により、表面が上記下部電極表面と同一高さになるまで上記第 2 の層間絶縁膜を平坦化する工程と、

上記第 2 の層間絶縁膜及び上記下部電極表面に強誘電体膜を成膜する工程と、

上記強誘電体膜上に上部電極となる第 2 の電極材料を成膜し、第 2 のマスクにて上記上部電極材料をパターンニングした後、第 3 のマスクにて、少なくとも上記下部電極全面を覆うように上記強誘電体膜をパターンニングする工程とを有することを特徴とする、半導体記憶装置の製造方法。

【請求項 2】 上記第 2 のマスクと第 3 のマスクが同一マスクであることを特徴とする、請求項 1 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は強誘電体膜を容量絶縁膜として備えたキャパシタ構造を有する半導体記憶装置の製造方法に関するものである。

【0002】

【従来技術】 近年高密度でかつ高速に動作する強誘電体不揮発性メモリ (FeRAM) の開発が盛んである。その背景としてメモリセルの微細化に伴う蓄積電荷量の減少が挙げられる。そのため、従来より使用されている酸化シリコン膜や窒化シリコン膜などに比較し、はるかに誘電率の高い強誘電体膜を容量絶縁膜として用いられつつある。

【0003】 また、3次元化に対しては、MOSFET のソース上にポリシリコン又はタングステンからなるプラグを形成し、その上にキャパシタを形成するスタック構造が提案されている。

【0004】 このような従来のスタック構造を有する不揮発性メモリ、特に強誘電体膜によるキャパシタの形成方法について図 2 を用いて以下に説明する。

【0005】 すなわち、半導体素子 12 上に層間絶縁膜 11 を形成し平坦化を行った後、半導体素子 12 にコンタクトホールの開口、及びコンタクトプラグ 13 を形成

する (図 2 (a))。

【0006】 その後、下部バリアメタル 15、下部電極材料膜 14、強誘電体膜 18、及び上部バリアメタル (図示せず) を順次成膜し、その上に上部電極材料 19 を成膜する (図 2 (b))。

【0007】 これら一連の各層を形成後、上部電極 (上部バリアメタルを含む)、強誘電体膜、下部電極 (下部バリアメタルを含む) を同じマスクを用いてこれらの 3 層の異なる膜を連続してエッチングできれば、各層のアライメントずれを考慮する必要はないが、そのためにはエッチング条件がマスク材と高い選択比を有することが求められる。

【0008】 しかしながら、これらの上記電極材料はドライエッチングにおいてエッチングガスと反応して生成する反応生成物の蒸気圧は通常非常に低いものしか生成されず、イオン衝撃を主とした物理的スパッタ効果に重きを置いたエッチング条件でしかエッチングが進行しない性質を有するため、マスク材と高い選択比を有するエッチング条件を得ることは極めて困難である。従って同一マスク材によりこれらの一連の膜を加工することは困難であった。

【0009】 そのため、図 2 (c) 乃至 (e) に示すように、各層毎にマスクを新たに形成し直して加工せざるを得なく、各層間でのアライメントずれを予め考慮して上層のパターンが下層のパターンよりはみ出さないように加工している。

【0010】 これに対し特開平 9-135007 号公報に示される第 2 の従来例について以下に説明する。

【0011】 この従来例では、下部電極をパターン化した後、その上に層間絶縁膜を成膜し、その後エッチバックにより平坦化する。次いで、再度層間絶縁膜を堆積し、下部電極に対応した位置に開孔部を設け、全面に強誘電体膜を成膜した後、層間絶縁膜上の強誘電体膜のみ CMP 法により選択的に除去し、強誘電体膜を埋め込み、続いて上部電極を形成する方法が考案されている。

【0012】 その結果、強誘電体膜の加工をドライエッチングを使用せず、微細加工を可能にしている。

【0013】

【発明が解決しようとする課題】 しかしながら、図 2 に示した従来例では、上述したドライエッチングでの加工の問題は、マスクを各層毎に形成し直すことにより回避されるが、マスク寸法は各層毎にアライメントマージンを考慮する必要があり、その結果下部電極、強誘電体、上部電極の順に小さくするため、同一マスクでパターンニングした場合に比べ、同一セルサイズにおけるキャパシタのセルサイズが結果的に大きくなり、微細化の点で課題となる。

【0014】 また、第 2 の従来例では、下部電極を絶縁膜で平坦化し、再度層間絶縁膜を堆積して下部電極に対応した位置に開孔部を設け、強誘電体を埋め込んでい

る。すなわち、下部電極上の層間絶縁膜によって形成された凹凸の下地上に強誘電体膜を成膜することになる。このことは、安定した強誘電体膜の膜特性を得ることが困難となる。

【0015】また、その後のCMP工程においても、強誘電体材料に適した簡便なスラリー（研磨用薬液）がまだ無く、最適なスラリーの開発が必要であるという問題が残される。

【0016】

【課題を解決するための手段】請求項1に記載の本発明の半導体記憶装置の製造方法は、半導体基板表面に拡散領域を半導体素子を形成した後、第1の層間絶縁膜を積層し、平坦化した後、該第1の層間絶縁膜の上記拡散領域上にコンタクトホールを形成する工程と、上記コンタクトホールにコンタクトプラグ材料を埋設し、上記第1の層間絶縁膜表面が露出するまで上記コンタクトプラグ材料をエッチングして、コンタクトプラグを形成する工程と、キャパシタの下部電極となる第1の電極材料を堆積した後、第1のマスクにて上記下部電極材料をキャパシタの下部電極としてパターンニングする工程と、上記下部電極を覆うように第2の層間絶縁膜を形成し、化学的機械的研磨により、表面が上記下部電極表面と同一高さになるまで上記第2の層間絶縁膜を平坦化する工程と、上記第2の層間絶縁膜及び上記下部電極表面に強誘電体膜を成膜する工程と、上記強誘電体膜上に上部電極となる第2の電極材料を成膜し、第2のマスクにて上記上部電極材料をパターンニングした後、第3のマスクにて、少なくとも上記下部電極全面を覆うように上記強誘電体膜をパターンニングする工程とを有することを特徴とするものである。

【0017】また、請求項2に記載の本発明の半導体記憶装置の製造方法は、上記第2のマスクと第3のマスクが同一マスクであることを特徴とする、請求項1に記載の半導体記憶装置の製造方法である。

【0018】

【発明の実施の形態】以下、一の実施の形態に基づいて、本発明の半導体記憶装置の製造方法を詳細に説明する。図1は本発明の一の実施の形態の半導体記憶装置の製造工程図である。尚、図1において、1、6は層間絶縁膜、2は半導体素子、3はコンタクトプラグ、4は下部電極、5はバリアメタル、8は強誘電体膜、9は上部電極である。

【0019】まず、半導体素子2が形成された半導体基板（図示せず）上に層間絶縁膜1を形成する。この層間絶縁膜1をCMP法により平坦化を行なう。平坦化された層間絶縁膜1に半導体素子2に電気的接続を行なうプラグ3を形成する。

【0020】具体的にはR I Eによりコンタクトホールを形成し、バリアメタルとして窒化チタン（TiN）膜／チタン（Ti）膜をスパッタ法にて50nm／30nm

m形成した後、CVDによりタングステン（W）膜を600nm形成する。その後、このタングステン膜をR I Eエッチバック法又はCMP法により層間絶縁膜1上のみ選択的に除去し、コンタクトプラグ3を形成すると共に、平坦な下地表面を得る（図1（a））。

【0021】この上にバリアメタルとして酸化チタン（TiO₂）膜4を30nm、下部電極として白金（Pt）膜5を200nmスパッタ法にて順次成膜する。その後所望の位置にレジストパターン（図示せず）を形成し、レジストパターンをマスクとしてドライエッチングにより窒化チタン膜4と下部電極となる白金膜5をパターンニングし、下部電極を形成する。加工条件としてはE C R型のプラズマ発生源を有するドライエッチング装置により、マイクロ波パワーを1000W、コイル電流を20A、エッチングガス流量をCl₂が40sccm、C₂F₆が40sccm、CH₄が5sccmとなるように、またRFパワーを150W、圧力を2mTorrとして、下地酸化膜が露出してから15%のオーバーエッチングを行う。

【0022】次に、フォトリソを剥離した後、層間絶縁膜6、例えばプラズマ酸化膜を600nm成膜する。この層間絶縁膜6としてのプラズマ酸化膜は、後のCMP工程において、市販のスラリーを用いることができるという利点がある。

【0023】尚、成膜条件としては、プラズマCVD法により圧力を8Torr、デポ温度を400℃、RFパワーを700W、ガス流量をTEOSが800sccm、O₂が600sccmとなるように、時間制御で所定の膜厚を成膜する（図1（b））。

【0024】この後、層間絶縁膜6をCMP法により層間絶縁膜6の表面と下部電極となる白金膜5の表面が同じ高さで平坦になるまで研磨を行なう。この場合の研磨条件として、ヒュームドシリカ系のスラリー、研磨布には発泡ウレタンからなるものを用い、定盤回転数を28rpm、キャリア回転数を32rpm、研磨圧を7psi、スラリー流量を150sccmとして、時間制御で下部電極となる白金膜5が露出するまで研磨する（図1（c））。

【0025】続いてCMP法により形成された平坦な表面上に強誘電体膜8としてMOD（Metal Organic Decomposition）法により、SrBi₂Ta₂O₉溶液（溶液の混合比；Sr／Bi／Ta／＝8／24／20）をスピンコートで1層50nm厚程度塗布し、250℃で5分間の乾燥工程を行なう。この工程を合計4回繰り返す、膜厚200nmのSrBi₂Ta₂O₉を形成する。その後基板温度を700～800℃で60分間の酸素雰囲気中での熱処理により結晶化を行なう。この段階で下地はCMPにより平坦化が行われている為、良好な膜特性を有する強誘電体膜を形成することが可能となる。

【0026】この結晶化された強誘電体膜8上に、引き続き上部電極として白金膜9をスパッタ法により100nm成膜する(図1(d))。

【0027】次いで、上部電極に下部電極と同等程度の大きさのレジストマスクを下部電極に対してアライメントし、これをマスクとしてドライエッチングにより下部電極と同一条件にてパターンニングを行なう。尚、上部電極の加工時、下地が平坦化されているため、段差部でのエッチング残り等の問題もなくなる。

【0028】マスクとしてのレジストを剥離した後、再度強誘電体膜8を加工するために下部、上部電極よりアライメントマージン片側0.20μm程度大きいサイズのレジストマスクの形成を行い、ドライエッチングにより強誘電体膜のパターンニングを行う。加工条件としてはECR型のプラズマ発生源を有するドライエッチング装置により、マイクロ波パワーを1000W、コイル電流を20A、エッチングガス流量をArが40sccm、C₂F₆が40sccmとして、RFパワーを100W、圧力を1.5mTorrとして下地酸化膜が露出してから15%のオーバーエッチングを行う。

【0029】この強誘電体膜8の加工においても、強誘電体膜8表面が平坦なため、エッチングの残り等の問題はなくなる。

【0030】上述したような工程を経ることにより、目的とする半導体記憶装置を得る。

【0031】尚、上記実施例において下部電極のバリアメタルとしてTiO₂膜、下部電極としてPtを用いたが、下部電極材料としてPt、Ir、Ir/IrO₂、SrRuO₃及びこれらの何れかの膜の下層にバリアメタルとしてTaSiN、TiN、TiAlN、HfSiNを用いた構造においても同様な効果が得られる。

【0032】また、上述の実施の形態において強誘電体材料としてはSrBi₂Ta₂O₉を用いたが、BaBi₂Nb₂O₉、BaBi₂Ta₂O₉、PbBi₂Nb₂O₉、PbBi₄TiO₁₅、BaBi₄TiO₁₅、Sr₂Bi₄Ti₅O₁₈、Ba₂Bi₄Ta₅O₁₈、Pb₂Bi₄Ti₅O₁₈、Na_{0.5}Bi_{4.5}Ti₄O₁₅、K_{0.5}Bi_{4.5}Ti₄O₁₅、SrBi₂(Tax, Nb_{1-x})₂O₉、(SrBi₂Ta₂O₉)_{0.7}・(Bi₃TiTaO₉)_{0.3}、(SrBi₂(Tax, Nb_{1-x})₂O₉)_{0.7}・(Bi₃TiTaO₉)_{0.3}又はBi₄Ti₃O₁₂でも同様な効果が得られる。

【0033】また、強誘電体膜の成膜方法としてはMOD法を用いたが、スパッタ法、真空蒸着法、MOCVD法等を用いても良い。

【0034】さらに上記実施例において上部電極として

Ptを用いたがIr、IrO₂、Ir/IrO₂等でも同様な効果が得られる。

【0035】また、上部電極と強誘電体膜を同一マスクで加工する場合、レジストマスクの膜厚減少が発生するが、露光・現像によるレジストパターンニングが可能な線幅が最小寸法のデバイスに対してはその減少分を見越して厚くレジストを塗布(およそ200nm以上)することにより、第2のマスクのみで上部電極9、強誘電体膜8のみを加工することも可能となる。

【0036】

【発明の効果】以上詳細に説明したように、本発明を用いることにより、強誘電体膜を形成する際、下部電極による下地凹凸のない平坦な基板上に形成できるため、強誘電体の膜質の良、い強誘電体膜を形成することが可能である。また、各層毎にマスク材を形成しても、これらによるアライメントマージンによる寸法拡大を改善することが可能となる。

【0037】また、レジストマスクと高い選択比を確保することが困難な電極材料、強誘電体材料の積層構造の加工において、アライメントマージンによる寸法拡大を抑制しつつ、各層毎にマスクを新たに形成することにより容易に加工することができる。その結果、アライメントマージンを考慮した寸法拡大を大幅に抑制できる。

【0038】更に、上部電極及び強誘電体膜が平坦化されているので、従来より厚いフォトリソパターンを用いてもアライメント精度が低下することなく、したがって、上部電極と強誘電体膜とのエッチングを同一のレジストパターンをマスクに行うことが可能となり、上部電極と下部電極はほぼ同等の大きさを有する半導体記憶装置が得られる。

【図面の簡単な説明】

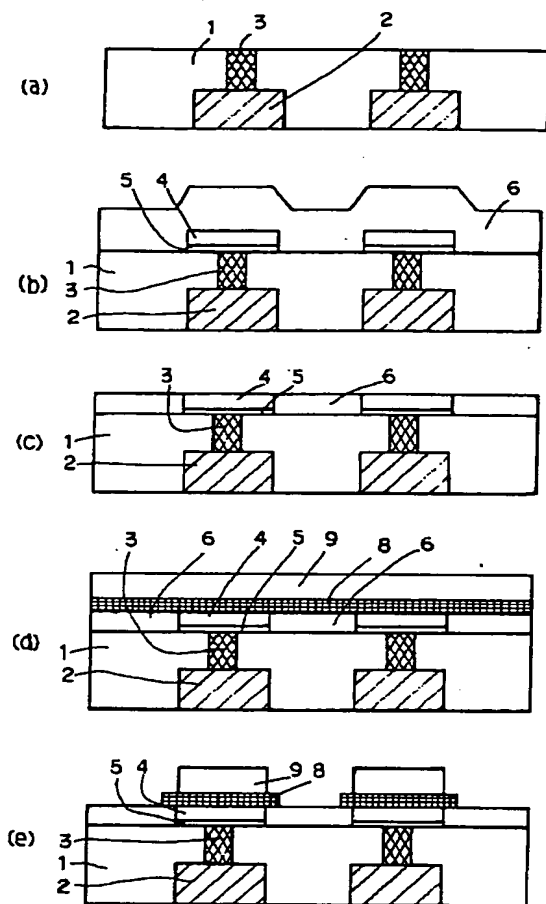
【図1】本発明の実施の形態による強誘電体膜を用いたキャパシタを備えた半導体記憶装置の製造工程図である。

【図2】従来方法による強誘電体膜を用いたキャパシタを備えた半導体記憶装置の工程図である。

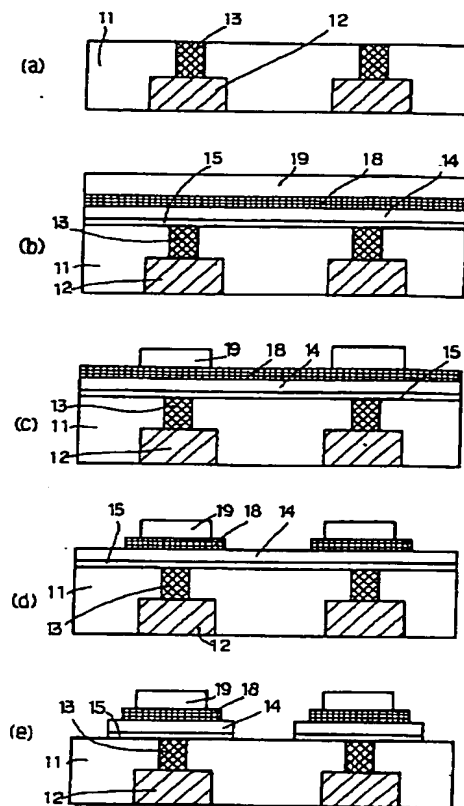
【符号の説明】

- 1、6 層間絶縁膜
- 2 半導体素子
- 3 コンタクトプラグ
- 4 下部電極
- 5 バリアメタル
- 8 強誘電体膜
- 9 上部電極

【図 1】



【図 2】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 21/8247

29/788

29/792

F ターム (参考) 5F001 AA17 AD33 AG10 AG21

5F038 AC05 AC09 AC15 AC18 EZ14

EZ15

5F083 AD21 AD49 FR02 GA19 JA13

JA14 JA15 JA38 JA39 JA40

JA42 MA06 MA17 PR03 PR21

PR40